

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-168354

(43)Date of publication of application : 22.06.1999

(51)Int.Cl.

H03H 11/20

H01P 1/18

H01P 1/185

(21)Application number : 09-334083

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 04.12.1997

(72)Inventor : KAMIYA NOBUYUKI
SHIGEMATSU TOMONORI
MORITA SHINICHI
MEN MITSUNORI

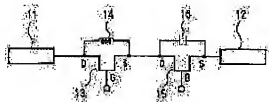
(54) VARIABLE PHASE SHIFTER

(57)Abstract:

PROBLEM TO BE SOLVED: To miniaturize a circuit by switching a case when a whole circuit is viewed to be series inductance being a phase lag circuit against a pass signal and a case when it is viewed as a series capacitor being a phase lead circuit and changing a pass phase so as to constitute a phase shifter.

SOLUTION: When the phase of a high frequency signal inputted to an input terminal 11 and outputted from an output terminal 12 is made to be a reference, the high frequency signal inputted from the input terminal 11 changes by the phase obtained by adding the phase change of the inductor 14 and the capacitor 16 by making it pass through the inductor 14 and the capacitor 16.

The signal is outputted from the output terminal 12. Since the inclination of the phase change by the frequency of phase quantity is opposite in the inductor and the capacitor, they are compensated and inclination by the frequency is prevented from becoming large. Thus, the variable phase shifter operates as that which can change the pass phase in four ways by changing the states of first FET 13 and second FET 15.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

特開平11-168354

(43) 公開日 平成11年(1999) 6月22日

(51) Int.Cl.⁶ 識別記号

H 0 3 H 11/20

H 0 1 P 1/18

1/185

F I

H 0 3 H 11/20

H 0 1 P 1/18

1/185

A

審査請求 未請求 請求項の数15 O L (全 15 頁)

(21) 出願番号 特願平9-334083

(22) 出願日 平成 9 年(1997) 12 月 4 日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目 2 番 3 号

(72) 発明者 神谷 信之

東京都千代田区丸の内二丁目 2 番 3 号 三

菱電機株式会社内

(72) 発明者 重松 智徳

東京都千代田区丸の内二丁目 2 番 3 号 三

菱電機株式会社内

(72) 発明者 森田 晋一

東京都千代田区丸の内二丁目 2 番 3 号 三

菱電機株式会社内

(74) 代理人 弁理士 宮田 金雄 (外 2 名)

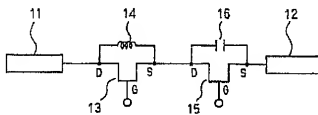
最終頁に続く

(54) 【発明の名称】 可変移相器

(57) 【要約】

【課題】 従来の移相器は、使用周波数に対し 1/4 波長の電気長をもつ伝送線路が 3 本必要となるため、回路が大型化するという課題があった。

【解決手段】 FET のドレインとソース間にインダクタまたはキャパシタを接続し、前記 FET のゲートにオン電圧を印加した場合、前記 FET のドレインから入力された信号をそのまま FET のソースから出力する。一方、前記 FET のゲートにピンチオフ電圧を印加した場合、FET がオフ状態となり、前記入力信号は前記インダクタまたはキャパシタを通過するように構成されている。



1 3 : 第 1 の F E T

1 4 : インダクタ

1 5 : 第 2 の F E T

1 6 : キャパシタ

【特許請求の範囲】

【請求項1】 高周波信号を通すことが可能な第1のFETと、一端が上記第1のFETのドレインに接続され、他端が上記第1のFETのソースに接続されたインダクタと、ドレインが上記第1のFETと上記インダクタの接続部に接続され、高周波信号を通すことが可能な第2のFETと、一端が上記第2のFETのドレインに接続され、他端が上記第2のFETのソースに接続されたキャパシタとを具備したことを特徴とする可変移相器。

【請求項2】 高周波信号を通すことが可能な第1のFETと、一端が上記第1のFETのドレインに接続され、他端が上記第1のFETのソースに接続された第1のインダクタと、ドレインが上記第1のFETのソースに接続され、高周波信号を通すことが可能な第2のFETと、一端が上記第2のFETのドレインに接続され、他端が上記第2のFETのソースに接続されたキャパシタと、ドレインが上記第2のFETのソースに接続され、高周波信号を通すことが可能な第3のFETと、一端が上記第3のFETのドレインに接続され、他端が上記第3のFETのソースに接続された第2のインダクタとを具備したことを特徴とする可変移相器。

【請求項3】 高周波信号を通すことが可能な第1のFETと、一端が上記第1のFETのドレインに接続され、他端が上記第1のFETのソースに接続された第1のキャパシタと、ドレインが上記第1のFETのソースに接続され、高周波信号を通すことが可能な第2のFETと、一端が上記第2のFETのドレインに接続され、他端が上記第2のFETのソースに接続された第1のインダクタと、ドレインが上記第2のFETのソースに接続され、高周波信号を通すことが可能な第3のFETと、一端が上記第3のFETのドレインに接続され、他端が上記第3のFETのソースに接続された第2のキャパシタとを具備したことを特徴とする可変移相器。

【請求項4】 高周波信号を通すことが可能な第1のFETと、一端が上記第1のFETのドレインに接続され、他端が上記第1のFETのソースに接続された第1のインダクタと、ドレインが上記第1のFETのソースに接続され、高周波信号を通すことが可能な第2のFETと、一端が上記第2のFETのドレインに接続され、他端が上記第2のFETのソースに接続された第1のキャパシタと、高周波信号を通すことが可能で、一端が上記第2のFETのソースに接続され、回路の持つ特性インピーダンスを持つ主線路と、ドレインが上記主線路の他端に接続され、高周波信号を通すことが可能な第3のFETと、一端が上記第3のFETのドレインに接続され、他端が上記第3のFETのソースに接続された第2のインダクタと、ドレインが上記第3のFETのソースに接続され、高周波信号を通すことが可能な第4のFETと、一端が上記第4のFETのドレインに接続され、

他端が上記第4のFETのソースに接続された第2のキャパシタとを具備したことを特徴とする可変移相器。

【請求項5】 高周波信号を通し、一端をその入力端子とする第1のインダクタと、一端が上記第1のインダクタの他端に接続され、かつ他端が接地されたキャパシタと、一端が上記第1のインダクタと上記キャパシタの接続部に接続され、他端を出力端子とする第2のインダクタとを具備し、さらに上記第1のインダクタの入力端子を入力端子、上記第2のインダクタの出力端子を出力端子としたT型ローパスフィルタを主線路として用いたことを特徴とする請求項4記載の可変移相器。

【請求項6】 高周波信号を通し、一端をその入力端子とする第1のキャパシタと、一端が上記第1のキャパシタの他端に接続され、かつ他端が接地されたインダクタと、一端が上記インダクタと上記第1のキャパシタの接続部に接続され、他端を出力端子とする第2のキャパシタとを具備し、さらに上記第1のキャパシタの入力端子を入力端子、上記第2のキャパシタの出力端子を出力端子としたT型ハイパスフィルタを主線路として用いたことを特徴とする請求項4記載の可変移相器。

【請求項7】 高周波信号を通し、一端をその入力端子とするインダクタと、一端が上記インダクタの一端に接続され、かつ他端が接地された第1のキャパシタと、一端が上記インダクタの他端に接続され、他端が接地された第2のキャパシタとを具備し、さらに上記インダクタの両端を入出力端子としたパイ型ローパスフィルタを主線路として用いたことを特徴とする請求項4記載の可変移相器。

【請求項8】 高周波信号を通し、一端をその入力端子とするキャパシタと、一端が上記キャパシタの一端に接続され、かつ他端が接地された第1のインダクタと、一端が上記キャパシタの他端に接続され、他端が接地された第2のインダクタとを具備し、さらに上記キャパシタの両端を入出力端子としたパイ型ハイパスフィルタを主線路として用いたことを特徴とする請求項4記載の可変移相器。

【請求項9】 高周波信号を通し、一端をその入力端子とする第1のインダクタと、一端が上記第1のインダクタの他端に接続され、かつ他端が接地された第1のキャパシタと、一端が上記第1のインダクタと上記第1のキャパシタの接続部に接続された第2のインダクタと、一端が上記第2のインダクタの他端に接続され、かつ他端が接地された第2のキャパシタと、一端が上記第2のインダクタと上記第2のキャパシタの接続部に接続され、他端を出力端子とする第3のインダクタとを具備し、さらに上記第1のインダクタの入力端子を入力端子、上記第3のインダクタの出力端子を出力端子としたT型ローパスフィルタを主線路として用いたことを特徴とする請求項4記載の可変移相器。

【請求項10】 高周波信号を通し、一端をその入力端

3

子とする第1のキャパシタと、一端が上記第1のキャパシタの他端に接続され、かつ他端が接地された第1のインダクタと、一端が上記第1のインダクタと上記第1のキャパシタの接続部に接続された第2のキャパシタと、一端が上記第2のキャパシタの他端に接続され、かつ他端が接地された第2のインダクタと、一端が上記第2のインダクタと上記第2のキャパシタの接続部に接続され、他端を出力端子とする第3のキャパシタとを具備し、さらに上記第1のキャパシタの入力端子を入力端子、上記第3のキャパシタの出力端子を出力端子としたT型ハイパスフィルタを主線路として用いたことを特徴とする請求項4記載の可変移相器。

【請求項11】 高周波信号を通し、一端をその入力端子とする第1のインダクタと、一端が上記第1のインダクタの入力端子に接続され、かつ他端が接地された第1のキャパシタと、一端が上記第1のインダクタの他端に接続され、他端が接地された第2のキャパシタと、一端が上記第1のインダクタと上記第2のキャパシタの接続部に接続され、他端を出力端子とする第3のインダクタと、一端が上記第3のインダクタの出力端子に接続され、他端が接地された第2のキャパシタとを具備し、さらに上記第1のインダクタの入力端子を入力端子、上記第3のインダクタの出力端子を出力端子としたパイ型ローパスフィルタを主線路として用いたことを特徴とする請求項4記載の可変移相器。

【請求項12】 高周波信号を通し、一端をその入力端子とする第1のキャパシタと、一端が上記第1のキャパシタの入力端子に接続され、かつ他端が接地された第1のインダクタと、一端が上記第1のキャパシタの他端に接続され、他端が接地された第2のインダクタと、一端が上記第2のインダクタと上記第1のキャパシタの接続部に接続され、他端を出力端子とする第2のキャパシタと、一端が上記第2のキャパシタの出力端子に接続され、他端が接地された第3のインダクタとを具備し、さらに上記第1のキャパシタの入力端子を入力端子、上記第3のキャパシタの出力端子を出力端子としたパイ型ハイパスフィルタを主線路として用いたことを特徴とする請求項4記載の可変移相器。

【請求項13】 インダクタとしてスパイラルインダクタまたはハインピーダンス線路を用いたことを特徴とする請求項5～12のいずれかに記載の可変移相器。

【請求項14】 キャパシタとしてMIM (Metal Insulator Metal) キャパシタまたはインターデジタルキャパシタを用いたことを特徴とする請求項5～12のいずれかに記載の可変移相器。

【請求項15】 スルーホールを用いて接地し、構成要素をすべて半導体基板上に一体成形したことを特徴とする請求項1～14のいずれかに記載の可変移相器。

【発明の詳細な説明】

【0001】

4

【発明の属する技術分野】 この発明はレーダー受信機等に用いられ、高周波信号の位相を電気的に変化させるための、デジタル制御の可能な移相器に関するものである。

【0002】

【従来の技術】 従来の実施例について図15に示す。図15は「アイイーイーートランザクションズオンマイクロウェーブセオリアンドテクニックズ (IEEE Transactions On Microwave and Techniques)」Vol. MTT-13, No. 12 (1985年12月)、第1591～1596ページに開示された従来の移相器を示す回路構成図である。図15において、1は使用周波数帯において電気長が $1/4$ 波長(90度)となる第1の伝送線路、2は上記第1の伝送線路1の一端に接続された使用周波数帯において電気長が $1/4$ 波長(90度)となる第2の伝送線路、3は上記第1の伝送線路1の他端に接続された使用周波数帯において電気長が $1/4$ 波長(90度)となる第3の伝送線路、4はドレインが上記第2の伝送線路2の他端に接続され、ソースが接地された第1のFET(Field Effect Transistor: 電界効果トランジスタ)、5はドレインが上記第3の伝送線路3の他端に接続され、ソースが接地された第2のFET、6は一端が第1のFET4のゲートに接続された使用周波数帯において十分高いインピーダンスをもった第1の抵抗、7は一端が第2のFET5のゲートに接続され、使用周波数帯において十分高いインピーダンスをもった第2の抵抗、8は第1の抵抗6および第2の抵抗7を通し第1のFET4および第2のFET5にバイアスを印加するためのバイアス端子、9は回路の入力ポート、10は回路の出力ポートである。

【0003】 次に動作について説明する。まず、第1のFET4及び第2のFET5のゲートにピンチオフ電圧を印加する。この時、第2の伝送線路2の第1のFET4に接続された一端が解放端子となり、第2の伝送線路2はオープンスタブと等価となる。同様に第3の伝送線路3もオープンスタブとなり回路は $1/4$ 波長の電気長をもった線路の両脇にオープンスタブをもつ回路となる。次に第1のFET4及び第2のFET5のゲートにオン電圧を印加する。この時、第2の伝送線路2の第1のFET4に接続された一端が接地され第2の伝送線路2はショートスタブと等価となる。同様に第3の伝送線路3もショートスタブとなり回路は $1/4$ 波長の電気長をもった線路の両脇にショートスタブをもつ回路になる。

【0004】 入力ポート9から入力された高周波信号は $1/4$ 波長の電気長をもった線路の両脇にオープンスタブをもつ時とショートスタブをもつ時とで通過位相が異なる。よって、この回路は2つのFETの状態を変えることで通過位相を変化させる移相器として動作する。

50

【0005】

【発明が解決しようとする課題】以上説明した移相器は、使用周波数に対し1/4波長の電気長をもつ伝送線路が3本必要となるため、回路が大型化するという課題があった。

【0006】この発明は、上記のような課題を解決するためになされたものであり、使用周波数に対し1/4波長の電気長をもった伝送線路を減らすことで小型の可変移相器を得ることを目的とする。

【0007】

【課題を解決するための手段】第1の発明による可変移相器は、FETをスイッチとして用い、通過信号に対して回路全体が位相遅れ回路である直列のインダクタに見える場合と、位相進み回路である直列のキャパシタに見える場合とを切り替え、通過位相を変化させて移相器を構成し、小型の可変移相器を得るものである。

【0008】また、第2の発明による可変移相器は、FETをスイッチとして用い、通過信号に対して回路全体が位相遅れ回路である直列のインダクタに見える場合と、位相進み回路である直列のキャパシタに見える場合とを切り替え、通過位相を変化させて移相器を構成し、小型の可変移相器を得るものである。

【0009】また、第3の発明による可変移相器は、FETをスイッチとして用い、通過信号に対して回路全体が位相遅れ回路である直列のインダクタに見える場合と、位相進み回路である直列のキャパシタに見える場合とを切り替え、通過位相を変化させて移相器を構成し、小型の可変移相器を得るものである。

【0010】また、第4の発明による可変移相器は、FETをスイッチとして用い、通過信号に対して回路全体が位相遅れ回路である直列のインダクタに見える場合と、位相進み回路である直列のキャパシタに見える場合とを切り替え、通過位相を変化させて移相器を構成し、小型の可変移相器を得るものである。

【0011】また、第5の発明による可変移相器は、FETをスイッチとして用い、通過信号に対して回路全体が位相遅れ回路である直列のインダクタに見える場合と、位相進み回路である直列のキャパシタに見える場合とを切り替え、通過位相を変化させて移相器を構成し、かつ主線路としてT型ローパスフィルタを用いることで小型の可変移相器を得るものである。

【0012】また、第6の発明による可変移相器は、FETをスイッチとして用い、通過信号に対して回路全体が位相遅れ回路である直列のインダクタに見える場合と、位相進み回路である直列のキャパシタに見える場合とを切り替え、通過位相を変化させて移相器を構成し、かつ主線路としてT型ハイパスフィルタを用いることで小型の可変移相器を得るものである。

【0013】また、第7の発明による可変移相器は、FETをスイッチとして用い、通過信号に対して回路全体

が位相遅れ回路である直列のインダクタに見える場合と、位相進み回路である直列のキャパシタに見える場合とを切り替え、通過位相を変化させて移相器を構成し、かつ主線路としてパイ型ローパスフィルタを用いることで小型の可変移相器を得るものである。

【0014】また、第8の発明による可変移相器は、FETをスイッチとして用い、通過信号に対して回路全体が位相遅れ回路である直列のインダクタに見える場合と、位相進み回路である直列のキャパシタに見える場合とを切り替え、通過位相を変化させて移相器を構成し、かつ主線路としてパイ型ハイパスフィルタを用いることで小型の可変移相器を得るものである。

【0015】また、第9の発明による可変移相器は、FETをスイッチとして用い、通過信号に対して回路全体が位相遅れ回路である直列のインダクタに見える場合と、位相進み回路である直列のキャパシタに見える場合とを切り替え、通過位相を変化させて移相器を構成し、かつ主線路としてT型ローパスフィルタを用いることで小型の可変移相器を得るものである。

【0016】また、第10の発明による可変移相器は、FETをスイッチとして用い、通過信号に対して回路全体が位相遅れ回路である直列のインダクタに見える場合と、位相進み回路である直列のキャパシタに見える場合とを切り替え、通過位相を変化させて移相器を構成し、かつ主線路としてT型ハイパスフィルタを用いることで小型の可変移相器を得るものである。

【0017】また、第11の発明による可変移相器は、FETをスイッチとして用い、通過信号に対して回路全体が位相遅れ回路である直列のインダクタに見える場合と、位相進み回路である直列のキャパシタに見える場合とを切り替え、通過位相を変化させて移相器を構成し、かつ主線路としてパイ型ローパスフィルタを用いることで小型の可変移相器を得るものである。

【0018】また、第12の発明による可変移相器は、FETをスイッチとして用い、通過信号に対して回路全体が位相遅れ回路である直列のインダクタに見える場合と、位相進み回路である直列のキャパシタに見える場合とを切り替え、通過位相を変化させて移相器を構成し、かつ主線路としてパイ型ハイパスフィルタを用いることで小型の可変移相器を得るものである。

【0019】また、第13の発明による可変移相器は、FETをスイッチとして用い、通過信号に対して回路全体が位相遅れ回路である直列のインダクタに見える場合と、位相進み回路である直列のキャパシタに見える場合とを切り替え、通過位相を変化させて移相器を構成し、かつ主線路を構成する回路中のインダクタとしてスパイラルインダクタまたはハイインピーダンス線路を用いることで小型の可変移相器を得るものである。

【0020】また、第14の発明による可変移相器は、FETをスイッチとして用い、通過信号に対して回路全

体が位相遅れ回路である直列のインダクタに見える場合と、位相進み回路である直列のキャパシタに見える場合とを切り替え、通過位相を変化させて移相器を構成し、かつ主線路を構成する回路中のキャパシタとしてMIM (Metal Insulator Metal) キャパシタまたはインターデジタリキャパシタを用いることで小型の可変移相器を得るものである。

【0021】また、第15の発明による可変移相器は、前記第1から第14の発明による可変移相器に用いる構成回路を、半導体の同一基板上で一体形成することにより、小型の可変移相器を得るものである。

【0022】

【発明の実施の形態】実施の形態1. この発明による可変移相器の実施の形態1を図1に示す。図1において、11は入力端子、12は出力端子、13はドレインDが入力端子11に接続され、高周波信号を通すことが可能な第1のFET、14は一端が前記第1のFET13のドレインDに接続され、他端が第1のFET13のソースSに接続されたインダクタ、15はドレインDが第1のFET13のソースSに接続され、ソースSが出力端子12に接続された第2のFET、16は一端が第2のFET15のドレインDに接続され、他端が第2のFET15のソースSに接続されたキャパシタである。

【0023】次に動作について説明する。まず、第1のFET13のゲートGにオン電圧を印加し、かつ第2のFET15のゲートGにオン電圧を印加する。この時、第1のFET13はドレインDから入力された信号がそのままソースSから出力されるスルー状態となり、第2のFET15もドレインDから入力された信号がそのままソースSから出力されるスルー状態となる。この状態で入力端子11に入力された出力端子12から出力された高周波信号の位相を基準として考える。次に、第1のFET13のゲートGにピンチオフ電圧を印加し、かつ第2のFET15のゲートGにオン電圧を印加する。この時、第1のFET13は信号が通過することができないオフ状態となるため、信号はインダクタ14を通過する。また第2のFET15はドレインDから入力された信号がそのままソースSから出力されるスルー状態となる。従って、入力端子11から入力された高周波信号はインダクタ14を通過することで上記基準に対し位相が遅れ、出力端子12から出力される。次に第1のFET13の

ゲートGにピンチオフ電圧を印加し、かつ第2のFET15のゲートGにピンチオフ電圧を印加する。この時、第1のFET13は信号が通過することができないオフ状態となるため、信号はインダクタ14を通過する。また第2のFET15も信号が通過することができないオフ状態となるため、信号はキャパシタ16を通過する。従って、入力端子11から入力された高周波信号はインダクタ14とキャパシタ16を通過することで上記基準に対しインダクタ14とキャパシタ16の位相変化を足しあわせた位相だけ変化した、出力端子12から出力される。また、インダクタとキャパシタでは位相量の周波数による位相変化の傾きが逆であるため、それぞれ打ち消しあい、周波数による傾きが大きくなるのを防いでいる。よって、第1のFET13と第2のFET15の状態を変化させることで、通過位相を4通りに変化させることのできる可変移相器としてこの回路は動作する。

【0024】実施の形態2. この発明による可変移相器の実施の形態2を図2に示す。図2において、11は入力端子、12は出力端子、17はドレインDが入力端子11に接続され、高周波信号を通すことが可能な第1のFET、18は一端が前記第1のFET17のドレインDに接続され、他端が第1のFET17のソースSに接続された第1のインダクタ、19はドレインDが第1のFET17のソースSに接続され、高周波信号を通すことが可能な第2のFET、20は一端が第2のFET19のドレインDに接続され、他端が第2のFET19のソースSに接続されたキャパシタ、21はドレインDが第2のFET19のソースSに接続され、ソースSが出力端子12に接続され、高周波信号を通すことが可能な第3のFET、22は一端が第3のFET21のドレインDに接続され、他端が第3のFET21のソースSに接続された第2のインダクタである。

【0025】次に動作について説明する。まず、第1のFET17と第2のFET19と第3のFET21のゲートGにオン電圧を印加する。この時、第1のFET17と第2のFET19と第3のFET21はドレインDから入力された信号がそのままソースSから出力されるスルー状態となる。この状態で入力端子11に入力された出力端子12から出力された高周波信号の位相を基準として考える。次に、第1のFET17と第3のFET21のゲートGにピンチオフ電圧を印加し、かつ第2のFET19のゲートGにオン電圧を印加する。この時、第1のFET17と第3のFET21は信号が通過することができないオフ状態となるため、信号は第1のインダクタ18と第2のインダクタ22を通過する。また第2のFET19はドレインDから入力された信号がそのままソースSから出力されるスルー状態となる。従って、入力端子11から入力された高周波信号は第1のインダクタ18と第2のインダクタ22を通過することで上記基準に対し位相が遅れ、出力端子12から出力される。

次に第1のFET17と第3のFET21のゲートGにオン電圧を印加し、かつ第2のFET19のゲートGにピンチオフ電圧を印加する。この時、第1のFET17と第3のFET21はドレインDから入力された信号がそのままソースSから出力されるスルー状態となる。また第2のFET19は信号が通過することができないオフ状態となるため、信号はキャパシタ20を通過する。従って、入力端子11から入力された高周波信号はキャパシタ20を通過することで上記基準に対し位相が進み、出力端子12から出力される。次に第1のFET17と第2のFET19と第3のFET21のゲートGにピンチオフ電圧を印加する。この時、第1のFET17と第2のFET19と第3のFET21はそれぞれ信号が通過することができないオフ状態となるため、信号は第1のインダクタ18とキャパシタ20と第2のインダクタ22を通過する。従って、入力端子11から入力された高周波信号は第1のインダクタ18とキャパシタ20と第2のインダクタ22を通過することで上記基準に対し第1のインダクタ18とキャパシタ20と第2のインダクタ22の位相変化を足しあわせた位相だけ変化し、出力端子12から出力される。また、インダクタとキャパシタでは位相量の周波数による位相変化の傾きが逆であるため、それぞれ打ち消しあい、周波数による傾きが大きくなるのを防いでいる。さらに、インダクタを2つ使用して位相変化させているため、インダクタ1つに比べそれぞれのインダクタンス値を低くすることができる。このため、反射が小さくなり、VSWR (Voltage Standing Wave Ratio) の悪化を少なくできる。よって、第1のFET17と第2のFET19と第3のFET21の状態を変化させることで、通過位相を4通りに変化させることのできる可変移相器としてこの回路は動作する。

【0026】実施の形態3. この発明による可変移相器の実施の形態3を図3に示す。図3において、11は入力端子、12は出力端子、23はドレインDが出力端子11に接続され、高周波信号を通すことが可能な第1のFET、24は一端が前記第1のFET23のドレインDに接続され、他端が第1のFET23のソースSに接続された第1のキャパシタ、25はドレインDが第1のFET23のソースSに接続され、高周波信号を通すことが可能な第2のFET、26は一端が第2のFET25のドレインDに接続され、他端が第2のFET25のソースSに接続されたインダクタ、27はドレインDが第2のFET25のソースSに接続され、ソースSが出力端子12に接続され、高周波信号を通すことが可能な第3のFET、28は一端が第3のFET27のドレインDに接続され、他端が第3のFET27のソースSに接続された第2のキャパシタである。

【0027】次に動作について説明する。まず、第1のFET23、第2のFET25と第3のFET27のゲ

ートGにオン電圧を印加する。この時、第1のFET23、第2のFET25、第3のFET27はドレインDから入力された信号がそのままソースSから出力されるスルー状態となる。この状態で入力端子11に入力される出力端子12から出力された高周波信号の位相を基準として考える。次に、第1のFET23と第3のFET27のゲートGにピンチオフ電圧を印加し、かつ第2のFET25のゲートGにオン電圧を印加する。この時、第1のFET23と第3のFET27は信号が通過することができないオフ状態となるため、信号は第1のキャパシタ24と第2のキャパシタ28を通過する。また第2のFET25はドレインDから入力された信号がそのままソースSから出力されるスルー状態となる。従って、入力端子11から入力された高周波信号は第1のキャパシタ24と第2のキャパシタ28を通過することで上記基準に対し位相が進み、出力端子12から出力される。次に第1のFET23と第3のFET27のゲートGにオン電圧を印加し、かつ第2のFET25のゲートGにピンチオフ電圧を印加する。この時、第1のFET23と第3のFET27はドレインDから入力された信号がそのままソースSから出力されるスルー状態となる。また第2のFET25は信号が通過することができないオフ状態となるため、信号はインダクタ26を通過する。従って、入力端子11から入力された高周波信号はインダクタ26を通過することで上記基準に対し位相が遅れ、出力端子12から出力される。次に第1のFET23と第2のFET25と第3のFET27のゲートGにピンチオフ電圧を印加する。この時、第1のFET23と第2のFET25と第3のFET27はそれぞれ信号が通過することができないオフ状態となるため、信号は第1のキャパシタ24とインダクタ26と第2のキャパシタ28を通過する。従って、入力端子11から入力された高周波信号は第1のキャパシタ24とインダクタ26と第2のキャパシタ28を通過することで上記基準に対し第1のキャパシタ24とインダクタ26と第2のキャパシタ28の位相変化を足しあわせた位相だけ変化し、出力端子12から出力される。また、インダクタとキャパシタでは位相量の周波数による位相変化の傾きが逆であるため、それぞれ打ち消しあい、周波数による傾きが大きくなるのを防いでいる。さらに、キャパシタを2つ使用して位相変化させているため、キャパシタ1つに比べそれぞれのキャパシタンス値を低くすることができる。このため、反射が小さくなり、VSWR (Voltage Standing Wave Ratio) の悪化を少なくできる。よって、第1のFET23と第2のFET25と第3のFET27の状態を変化させることで通過位相を4通りに変化させることのできる可変移相器としてこの回路は動作する。

【0028】実施の形態4. この発明による可変移相器の実施の形態4を図4に示す。図4において、11は入

力端子、12は出力端子、29はドレインDが入力端子11に接続され、高周波信号を通すことが可能な第1のFET、30は一端が前記第1のFET29のドレインDに接続され他端が第1のFET29のソースSに接続された第1のインダクタ、31はドレインDが第1のFET29のソースSに接続され、高周波信号を通すことが可能な第2のFET、32は一端が前記第2のFET31のドレインDに接続され、他端が第2のFET31のソースSに接続された第1のキャパシタ、33は一端が第2のFET31のソースSに接続され、高周波信号を通すことが可能で、回路の特性インピーダンス（一般的には50Ω）を持ち、使用周波数において1/4波長の電気長を持つ主線路、34はドレインDが前記主線路33の他端に接続された第3のFET、35は一端が第3のFET34と主線路33の接続部に接続され、他端が第3のFET34のソースSに接続された第2のインダクタ、36はドレインDが第3のFET34のソースSに接続され、ソースSが出力端子12に接続された第4のFET、37は一端が前記第4のFET36のドレインDに接続され、他端が第4のFET36のソースSに接続された第2のキャパシタである。

【0029】次に動作について説明する。まず、第1のFET29、第2のFET31、第3のFET34、第4のFET36のゲートGにオン電圧を印加する。この時、第1のFET29、第2のFET31、第3のFET34、第4のFET36はドレインDから入力された信号がそのままソースSから出力されるスルー状態となる。この状態で入力端子11に入力され出力端子12から出力された高周波信号の位相状態を基準とする。次に、第1のFET29と第3のFET34のゲートGにピンチオフ電圧を印加し、かつ第2のFET31と第4のFET36のゲートGにオン電圧を印加する。この時、第2のFET31と第4のFET36はドレインDから入力された信号がそのままソースSから出力されるスルー状態となる。また、第1のFET29と第2のFET34は信号が通過することができないオフ状態となるため、信号は第1のインダクタ30と第2のインダクタ35を通過する。この時、入力端子11から入力された高周波信号は第1のインダクタ30と第2のインダクタ35を通過することで上記基準に対し位相が遅れ、出力端子12から出力される。また、第1のインダクタ30と第2のインダクタ35の間に主線路33があるため、第1のインダクタ30で反射された反射波と第2のインダクタ35で反射された反射波は位相状態が反転している。このため、それぞれの反射波を打ち消しあい、VSWR (Voltage Standing Wave Ratio) の悪化を防いでいる。次に、第2のFET31と第4のFET36のゲートGにピンチオフ電圧を印加し、かつ第1のFET29と第3のFET34のゲートGにオン電圧を印加する。この時、第1のFET

29と第3のFET34はドレインDから入力された信号がそのままソースSから出力されるスルー状態となる。また、第2のFET31と第4のFET36は信号が通過することができないオフ状態となるため、信号は第1のキャパシタ32と第2のキャパシタ37を通過することで上記基準に対し位相が進み、出力端子12から出力される。また、第1のキャパシタ32と第2のキャパシタ37の間に主線路33があるため、第1のキャパシタ32で反射された反射波と第2のキャパシタ37で反射された反射波は位相状態が反転している。このため、それぞれの反射波を打ち消しあい、VSWR (Voltage Standing Wave Ratio) の悪化を防いでいる。次に、第1のFET29と第2のFET31と第3のFET34と第4のFET36のゲートGにピンチオフ電圧を印加する。この時、第1のFET29と第2のFET31と第3のFET34と第4のFET36はそれぞれ信号が通過することができないオフ状態となるため、信号は第1のインダクタ30と第1のキャパシタ32と第2のインダクタ35と第2のキャパシタ37を通過する。従って、入力端子11から入力された高周波信号は第1のインダクタ30と第1のキャパシタ32と第2のインダクタ35と第2のキャパシタ37を通過することで上記基準に対し第1のインダクタ30と第1のキャパシタ32と第2のインダクタ35と第2のキャパシタ37の位相変化を足しあわせた位相だけ変化し、出力端子12から出力される。また、インダクタとキャパシタでは位相量の周波数による位相変化の傾きが逆であるため、それぞれ打ち消しあい、周波数による傾きが大きくなるのを防いでいる。よって、第1のFET29と第2のFET31と第3のFET34と第4のFET36の状態を変化させることで、通過位相を4通りに変化させることのできる可変移相器としてのこの回路は動作する。

【0030】実施の形態5. この発明による可変移相器の実施の形態5を図5に示す。図5において、11、12、29、30、31、32、34、35、36、37は実施の形態4と同じ、38は高周波信号を通すことが可能な第3のインダクタ、39は一端が第3のインダクタ38の他端に接続され、他端が接地された第3のキャパシタ、40は一端が第3のインダクタ38と第3のキャパシタ39の接続部に接続された第4のインダクタである。

【0031】次に動作について説明する。第3のインダクタ38、第3のキャパシタ39、第4のインダクタ40はT型ローパスフィルタを構成しており、使用周波数におけるインピーダンスをこの回路の前後に接続されている回路の特性インピーダンス（一般的には50Ω）とすることが可能である。また、このT型ローパスフィルタに入力された信号の位相を1/4波長遅らせて出力させることも可能である。ここで、上記ローパスフィルタ

を通過する通過位相を ϕ 、使用周波数を f 、第3のインダクタ38および第4のインダクタ40のインダクタンスを L 、第3のキャパシタ39のキャパシタンスを C とすると、 ϕ と L と C の関係は以下の“数1”で表わされる。したがって、実施の形態4における主線路33としてこのローパスフィルタを用い、実施の形態4に示す回路と等価な回路を得ることができる。

【0032】

【数1】

$$L = \frac{50 \times \tan(\frac{\phi}{2})}{2\pi f} \quad C = \frac{\sin(\phi)}{50 \times 2\pi f}$$

【0033】実施の形態6。この発明による可変移相器の実施の形態6を図6に示す。図6において、11、12、29、30、31、32、34、35、36、37は実施の形態4と同じ、41は高周波信号を通過することが可能な第3のキャパシタ、42は一端が第3のキャパシタ41の他端に接続され、他端が接地された第3のインダクタ、43は一端が第3のキャパシタ41と第3のイ

$$L = \frac{50}{2\pi f \times \sin(\phi)}$$

【0036】実施の形態7。この発明による可変移相器の実施の形態7を図7に示す。図7において、11、12、29、30、31、32、34、35、36、37は実施の形態4と同じ、44は高周波信号を通過することが可能な第3のインダクタ、45は一端が第3のインダクタ44の一端に接続され、他端が接地された第3のキャパシタ、46は一端が第3のインダクタ44の他端に接続され、他端が接地された第4のキャパシタである。

【0037】次に動作について説明する。第3のインダクタ44、第3のキャパシタ45、第4のキャパシタ46はパイ型ローパスフィルタを構成しており、使用周波数におけるインピーダンスをこの回路の前後に接続されている回路の特性インピーダンス（一般的には50 Ω ）とすることが可能である。また、このローパスフィルタに入力された信号の位相を1/4波長遅らせて出力させることも可能である。ここで、上記ローパスフィルタを通過する通過位相を ϕ 、使用周波数を f 、第3のインダクタ44のインダクタンスを L 、第3のキャパシタ45および第4のキャパシタ46のキャパシタンスを C とすると、 ϕ と L と C の関係は以下の“数3”で表わされる。したがって、実施の形態4における主線路33としてこのローパスフィルタを用い、実施の形態4に示す回路と等価な回路を得ることができる。

【0038】

【数3】

$$L = \frac{50 \times \sin(\phi)}{2\pi f} \quad C = \frac{\tan(\frac{\phi}{2})}{50 \times 2\pi f}$$

*インダクタ42の接続部に接続された第4のキャパシタである。

【0034】次に動作について説明する。第3のキャパシタ41、第3のインダクタ42、第4のキャパシタ43はT型ハイパスフィルタを構成しており、使用周波数におけるインピーダンスをこの回路の前後に接続されている回路の特性インピーダンス（一般的には50 Ω ）とすることが可能である。また、このハイパスフィルタに入力された信号の位相を1/4波長遅らせて出力させることも可能である。ここで、上記ハイパスフィルタを通過する通過位相を ϕ 、使用周波数を f 、第3のインダクタ42のインダクタンスを L 、第3のキャパシタ41および第4のキャパシタ43のキャパシタンスを C とすると、 ϕ と L と C の関係は以下の“数2”で表わされる。したがって、実施の形態4における主線路33としてこのハイパスフィルタを用い、実施の形態4に示す回路と等価な回路を得ることができる。

【0035】

【数2】

$$C = \frac{1}{50 \times 2\pi f \times \tan(\frac{\phi}{2})}$$

【0039】実施の形態8。この発明による可変移相器の実施の形態8を図8に示す。図8において、11、12、29、30、31、32、34、35、36、37は実施の形態4と同じ、47は高周波信号を通過することが可能な第3のキャパシタ、48は一端が第3のキャパシタ47の一端に接続され、他端が接地された第3のインダクタ、49は一端が第3のキャパシタ47の他端に接続され、他端が接地された第4のインダクタである。

【0040】次に動作について説明する。第3のキャパシタ47、第3のインダクタ48、第4のインダクタ49はパイ型ハイパスフィルタを構成しており、使用周波数におけるインピーダンスをこの回路の前後に接続されている回路の特性インピーダンス（一般的には50 Ω ）とすることが可能である。また、このハイパスフィルタに入力された信号の位相を1/4波長遅らせて出力させることも可能である。ここで、上記ハイパスフィルタを通過する通過位相を ϕ 、使用周波数を f 、第3のインダクタ48および第4のインダクタ49のインダクタンスを L 、第3のキャパシタ47のキャパシタンスを C とすると、 ϕ と L と C の関係は以下の“数4”で表わされる。したがって、実施の形態4における主線路33としてこのハイパスフィルタを用い、実施の形態4に示す回路と等価な回路を得ることができる。

【0041】

【数4】

15

$$L = \frac{50}{2\pi f \times \tan\left(\frac{\phi}{2}\right)}$$

16

$$C = \frac{1}{50 \times 2\pi f \times \sin(\phi)}$$

【0042】実施の形態9。この発明による可変移相器の実施の形態9を図9に示す。図9において、11、12、29、30、31、32、34、35、36、37は実施の形態4と同じ、50は高周波信号を通過することが可能な第3のインダクタ、51は一端が第3のインダクタ50の他端に接続され、他端が接地された第3のキャパシタ、52は一端が第3のインダクタ50と第3のキャパシタ51の接続部に接続された第4のインダクタ、53は一端が第4のインダクタ52の他端に接続され、他端が接地された第4のキャパシタ、54は一端が第4のインダクタ52と第4のキャパシタ53の接続部に接続された第5のインダクタである。

【0043】次に動作について説明する。第3のインダクタ50、第3のキャパシタ51、第4のインダクタ52、第4のキャパシタ53、第5のインダクタ54はT型ローパスフィルタを構成しており、使用周波数におけるインピーダンスをこの回路の前後に接続されている回路の特性インピーダンス（一般的には50Ω）とすることが可能である。また、このT型ローパスフィルタに入力された信号の位相を1/4波長遅らせて出力させることも可能である。ここで、上記ローパスフィルタを通過する通過位相をφ、使用周波数をf、第3のインダクタ50および第5のインダクタ54のインダクタンスをL1、第4のインダクタ52のインダクタンスをL2、第3のキャパシタ51と第4のキャパシタ53のキャパシタンスをCとおくと、φとL1とL2とCの関係は以下の“数5”で表わされる。したがって、実施の形態4における主線路33としてこのローパスフィルタを用い、実施の形態4に示す回路と等価な回路を得ることができる。

【0044】

【数5】

$$L_1 = \frac{50 \times \tan\left(\frac{\phi}{4}\right)}{2\pi f} \quad L_2 = 2 \times L_1$$

$$C = \frac{\sin\left(\frac{\phi}{2}\right)}{50 \times 2\pi f}$$

【0045】実施の形態10。この発明による可変移相器の実施の形態10を図10に示す。図10において、11、12、29、30、31、32、34、35、36、37は実施の形態4と同じ、55は高周波信号を通過することが可能な第3のキャパシタ、56は一端が第3のキャパシタ55の他端に接続され、他端が接地された第3のインダクタ、57は一端が第3のキャパシタ55と第3のインダクタ56の接続部に接続された第4のキャパシタ、58は一端が第4のキャパシタ57の他端に接

続され、他端が接地された第4のインダクタ、59は一端が第4のキャパシタ57と第4のインダクタ58の接続部に接続された第5のキャパシタである。

【0046】次に動作について説明する。第3のキャパシタ55、第3のインダクタ56、第4のキャパシタ57、第4のインダクタ58、第5のキャパシタ59はT型ハイパスフィルタを構成しており、使用周波数におけるインピーダンスをこの回路の前後に接続されている回路の特性インピーダンス（一般的には50Ω）とすることが可能である。また、このハイパスフィルタに入力された信号の位相を1/4波長進ませて出力させることも可能である。ここで、上記ハイパスフィルタを通過する通過位相をφ、使用周波数をf、第3のインダクタ56と第4のインダクタ58のインダクタンスをL、第3のキャパシタ55および第5のキャパシタ59のキャパシタンスをC1、第4のキャパシタ57のキャパシタンスをC2とおくと、φとLとC1とC2の関係は以下の“数6”で表わされる。したがって、実施の形態4における主線路33としてこのハイパスフィルタを用い、実施の形態4に示す回路と等価な回路を得ることができる。

【0047】

【数6】

$$L = \frac{50}{2\pi f \times \sin\left(\frac{\phi}{2}\right)}$$

$$C_1 = \frac{1}{50 \times 2\pi f \times \tan\left(\frac{\phi}{4}\right)} \quad C_2 = 2 \times C_1$$

【0048】実施の形態11。この発明による可変移相器の実施の形態11を図11に示す。図11において、11、12、29、30、31、32、34、35、36、37は実施の形態4と同じ、60は高周波信号を通過することが可能な第3のインダクタ、61は一端が第3のインダクタ60の一端に接続され、他端が接地された第3のキャパシタ、62は一端が第3のインダクタ60の他端に接続され、他端が接地された第4のキャパシタ、63は一端が第3のインダクタ60と第4のキャパシタ62の接続部に接続された第4のインダクタ、64は一端が第4のインダクタ63の他端に接続され、他端が接地された第5のキャパシタである。

【0049】次に動作について説明する。第3のインダクタ60、第3のキャパシタ61、第4のキャパシタ62、第4のインダクタ63、第5のキャパシタ64はハイパスフィルタを構成しており、使用周波数におけるインピーダンスをこの回路の前後に接続されている回路の特性インピーダンス（一般的には50Ω）とすることが可能である。また、このローパスフィルタに入力

された信号の位相を $1/4$ 波長遅らせて出力させることも可能である。ここで、上記ローパスフィルタを通過する通過位相を ϕ 、使用周波数を f 、第3のインダクタ60と第4のインダクタ63のインダクタンスを L 、第3のインダクタ61および第5のキャパシタ64のキャパシタンスを $C1$ 、第4のキャパシタ62のキャパシタンスを $C2$ とすると、 ϕ と L と $C1$ と $C2$ の関係は以下の“数7”で表わされる。したがって、実施の形態4における主線路33としてこのローパスフィルタを用い、実施の形態4に示す回路と等価な回路を得ることができる。

【0050】

【数7】

$$L = \frac{50 \times \sin(\frac{\phi}{2})}{2\pi f}$$

$$C1 = \frac{\tan(\frac{\phi}{4})}{50 \times 2\pi f}$$

$$C2 = 2 \times C1$$

【0051】実施の形態12。この発明による可変移相器の実施の形態12を図12に示す。図12において、11、12、29、30、31、32、34、35、36、37は実施の形態4と同じ、65は高周波信号を通過することが可能な第3のキャパシタ、66は一端が第3のキャパシタ65の一端に接続され、他端が接地された第3のインダクタ、67は一端が第3のキャパシタ65の他端に接続され、他端が接地された第4のインダクタ、68は一端が第3のキャパシタ65と第4のインダクタ67の接続部に接続された第4のキャパシタ、69は一端が第4のキャパシタ68の他端に接続され、他端が接地された第5のインダクタである。

【0052】次に動作について説明する。第3のキャパシタ65、第3のインダクタ66、第4のインダクタ67、第4のキャパシタ68、第5のインダクタ69はバイ型ハイパスフィルタを構成しており、使用周波数におけるインピーダンスをこの回路の前後に接続されている回路の特性インピーダンス（一般的には50Ω）とすることが可能である。また、このハイパスフィルタに入力された信号の位相を $1/4$ 波長進ませて出力させることも可能である。ここで、上記ハイパスフィルタを通過する通過位相を ϕ 、使用周波数を f 、第3のインダクタ66および第5のインダクタ69のインダクタンスを L 、第4のインダクタ67のインダクタンスを $L2$ 、第3のキャパシタ65および第4のキャパシタ68のキャパシタンスを C とすると、 ϕ と $L1$ と $L2$ と C の関係は以下の“数8”で表わされる。したがって、実施の形態4における主線路33としてこのハイパスフィルタを用い、実施の形態4に示す回路と等価な回路を得ることができる。

【0053】

【数8】

$$L1 = \frac{50}{2\pi f \times \tan(\frac{\phi}{4})} \quad L2 = 2 \times L1$$

$$C = \frac{1}{50 \times 2\pi f \times \sin(\frac{\phi}{2})}$$

【0054】実施の形態13。この発明による可変移相器の実施の形態13を図13に示す。図13において、11、12、29、30、31、32、34、35、36、37は実施の形態4と同じ、70は高周波信号を通過することが可能な第1のスパイラルインダクタ、71は一端が第1のスパイラルインダクタ70の他端に接続され他端が接地されたMIMキャパシタ、72は一端が第1のスパイラルインダクタ70とMIMキャパシタ71の接続部に接続された第2のスパイラルインダクタ、73は半導体（たとえばガリウムヒ素）を用いた基板、74は基板73の裏面で接地されたスルーホールである。

【0055】次に動作について説明する。11、12、29、30、31、32、34、35、36、37は実施の形態1から12で示した回路素子と同じ動作をする回路素子であり、基板73上に半導体プロセス技術を用いて作り込んである。実施の形態1から12で示した回路を、このように一体化して構成することで小型の可変移相器を得ることができる。また、第1のスパイラルインダクタ70、MIMキャパシタ71、第2のスパイラルインダクタ72はT型ローパスフィルタを構成しており、使用周波数におけるインピーダンスをこの回路の前後に接続されている回路の特性インピーダンス（一般的には50Ω）とすることが可能である。また、このローパスフィルタに入力された信号の位相を $1/4$ 波長遅らせて出力させることも可能である。ここで、上記ローパスフィルタを通過する通過位相を ϕ 、使用周波数を f 、第1のスパイラルインダクタ70および第2のスパイラルインダクタ72のインダクタンスを L 、MIMキャパシタ71のキャパシタンスを C とすると、 ϕ と L と C の関係は前記“数1”で表わされる。したがって、実施の形態4における主線路33としてこのローパスフィルタを用い、実施の形態4に示す回路と等価な回路を得ることができる。

【0056】実施の形態14。この発明による可変移相器の実施の形態14を図14に示す。図14において、11、12、29、30、31、32、34、35、36、37は実施の形態4と同じ、75は高周波信号を通過することが可能な第1のハイインピーダンス線路、76は一端が第1のハイインピーダンス線路75の他端に接続され、他端が接地されたインターデジタルキャパシタ、77は一端が第1のハイインピーダンス線路75とインターデジタルキャパシタ76の接続部に接続された第2のハイインピーダンス線路、73は半導体（たとえばガ

リウムと素)を用いた基板、74は基板73の裏面に接
地されたスルーホールである。

【0057】次に動作について説明する。第1のハイ
インピーダンス線路75、インターデジタルキャパシタ7
6、第2のハイインピーダンス線路77はT型ローパス
フィルタを構成しており、使用周波数におけるインピ
ダンスをこの回路の前後に接続されている回路の特性イン
ピーダンス(一般的には50Ω)とすることが可能であ
る。また、このローパスフィルタに入力された信号の
位相を1/4波長遅らせて出力させることも可能であ
る。ここで、上記ローパスフィルタを通過する通過位相
を ϕ 、使用周波数を f 、第1のハイインピーダンス線路
75および第2のハイインピーダンス線路77のインダ
クタンスを L 、インターデジタルキャパシタ76のキャ
パシタンスを C とおくと、 ϕ と L と C の関係は前記"数
1"で表わされる。したがって、実施の形態4における
主線路33としてこのローパスフィルタを用い、実施の
形態4に示す回路と等価な回路を得ることができる。

【0058】

【発明の効果】第1の発明による可変移相器は、FET
をスイッチとして用い、通過信号に対して回路全体が位
相遅れ回路である直列のインダクタに見える場合と、位
相進み回路である直列のキャパシタに見える場合とを切
り替え、通過位相を変化させて移相器を構成すること
により回路を小型化する効果がある。

【0059】第2の発明による可変移相器は、FETを
スイッチとして用い、通過信号に対して回路全体が位
相遅れ回路である直列のインダクタに見える場合と、位
相進み回路である直列のキャパシタに見える場合とを切
り替え、通過位相を変化させて移相器を構成すること
により回路を小型化する効果がある。

【0060】第3の発明による可変移相器は、FETを
スイッチとして用い、通過信号に対して回路全体が位
相遅れ回路である直列のインダクタに見える場合と、位
相進み回路である直列のキャパシタに見える場合とを切
り替え、通過位相を変化させて移相器を構成すること
により回路を小型化する効果がある。

【0061】第4の発明による可変移相器は、FETを
スイッチとして用い、通過信号に対して回路全体が位
相遅れ回路である直列のインダクタに見える場合と、位
相進み回路である直列のキャパシタに見える場合とを切
り替え、通過位相を変化させて移相器を構成すること
により回路を小型化する効果がある。また、1/4波長の電
気長をもった主線路により反射を低減させ、入出力反射
の少ない移相器を得るものである。

【0062】第5の発明による可変移相器は、FETを
スイッチとして用い、通過信号に対して回路全体が位
相遅れ回路である直列のインダクタに見える場合と、位
相進み回路である直列のキャパシタに見える場合とを切
り替え、通過位相を変化させて移相器を構成すること
によ

り回路を小型化する効果がある。また、主線路としてイ
ンダクタとキャパシタによるT型ローパスフィルタを用
いることにより、小型化する効果がある。

【0063】第6の発明による可変移相器は、FETを
スイッチとして用い、通過信号に対して回路全体が位
相遅れ回路である直列のインダクタに見える場合と、位
相進み回路である直列のキャパシタに見える場合とを切
り替え、通過位相を変化させて移相器を構成すること
により回路を小型化する効果がある。また、主線路として
インダクタとキャパシタによるT型ハイパスフィルタを用
いることにより、小型化する効果がある。

【0064】第7の発明による可変移相器は、FETを
スイッチとして用い、通過信号に対して回路全体が位
相遅れ回路である直列のインダクタに見える場合と、位
相進み回路である直列のキャパシタに見える場合とを切
り替え、通過位相を変化させて移相器を構成すること
により回路を小型化する効果がある。また、主線路として
インダクタとキャパシタによるバイ型ローパスフィルタ
を用いることにより、小型化する効果がある。

【0065】第8の発明による可変移相器は、FETを
スイッチとして用い、通過信号に対して回路全体が位
相遅れ回路である直列のインダクタに見える場合と位相
進み回路である直列のキャパシタに見える場合とを切
り替え、通過位相を変化させて移相器を構成すること
により回路を小型化する効果がある。また、主線路として
インダクタとキャパシタによるバイ型ハイパスフィルタ
を用いることにより、小型化する効果がある。

【0066】第9の発明による可変移相器は、FETを
スイッチとして用い、通過信号に対して回路全体が位
相遅れ回路である直列のインダクタに見える場合と、位
相進み回路である直列のキャパシタに見える場合とを切
り替え、通過位相を変化させて移相器を構成すること
により回路を小型化する効果がある。また、主線路として
インダクタとキャパシタによるT型ローパスフィルタを用
いることにより、小型化する効果がある。

【0067】第10の発明による可変移相器は、FET
をスイッチとして用い、通過信号に対して回路全体が位
相遅れ回路である直列のインダクタに見える場合と、位
相進み回路である直列のキャパシタに見える場合とを切
り替え、通過位相を変化させて移相器を構成すること
により回路を小型化する効果がある。また、主線路として
インダクタとキャパシタによるT型ハイパスフィルタ
を用いることにより、小型化する効果がある。

【0068】第11の発明による可変移相器は、FET
をスイッチとして用い、通過信号に対して回路全体が位
相遅れ回路である直列のインダクタに見える場合と、位
相進み回路である直列のキャパシタに見える場合とを切
り替え、通過位相を変化させて移相器を構成すること
により回路を小型化する効果がある。また、主線路として
インダクタとキャパシタによるバイ型ローパスフィルタ

を用いることにより、小型化する効果がある。

【0069】第12の発明による可変移相器は、FETをスイッチとして用い、通過信号に対して回路全体が位相遅れ回路である直列のインダクタに見える場合と、位相進み回路である直列のキャパシタに見える場合とを切り替え、通過位相を変化させて移相器を構成することにより回路を小型化する効果がある。また、主線路としてインダクタとキャパシタによるパイ型ハイパスフィルタを用いることにより、小型化する効果がある。

【0070】第13の発明による可変移相器は、FETをスイッチとして用い、通過信号に対して回路全体が位相遅れ回路である直列のインダクタに見える場合と、位相進み回路である直列のキャパシタに見える場合とを切り替え、通過位相を変化させて移相器を構成することにより回路を小型化する効果がある。また、インダクタとしてスパイラルインダクタまたはハイインピーダンス線路を用いることで小型化する効果がある。

【0071】第14の発明による可変移相器は、FETをスイッチとして用い、通過信号に対して回路全体が位相遅れ回路である直列のインダクタに見える場合と、位相進み回路である直列のキャパシタに見える場合とを切り替え、通過位相を変化させて移相器を構成することにより回路を小型化する効果がある。また、キャパシタとしてMIMキャパシタまたはインターデジタルキャパシタを用いることで小型化する効果がある。

【0072】また、第15の発明による可変移相器は、前記第1から第14の発明による可変移相器に用いる構成回路を、半導体の同一基板上で一体形成することにより、回路を小型化する効果がある。

【図面の簡単な説明】

【図1】 この発明による可変移相器の実施の形態1を示す図である。

【図2】 この発明による可変移相器の実施の形態2を示す図である。

【図3】 この発明による可変移相器の実施の形態3を示す図である。

【図4】 この発明による可変移相器の実施の形態4を示す図である。

【図5】 この発明による可変移相器の実施の形態5を示す図である。

【図6】 この発明による可変移相器の実施の形態6を示す図である。

【図7】 この発明による可変移相器の実施の形態7を

示す図である。

【図8】 この発明による可変移相器の実施の形態8を示す図である。

【図9】 この発明による可変移相器の実施の形態9を示す図である。

【図10】 この発明による可変移相器の実施の形態10を示す図である。

【図11】 この発明による可変移相器の実施の形態11を示す図である。

【図12】 この発明による可変移相器の実施の形態12を示す図である。

【図13】 この発明による可変移相器の実施の形態13を示す図である。

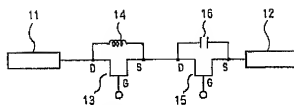
【図14】 この発明による可変移相器の実施の形態14を示す図である。

【図15】 従来の移相器を示す図である。

【符号の説明】

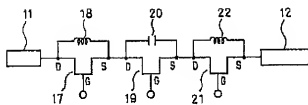
9 入力ポート、10 出力ポート、11 入力端子、12 出力端子、13 FET、14 インダクタ、15 FET、16 キャパシタ、17 FET、18 インダクタ、19 FET、20 キャパシタ、21 FET、22 インダクタ、23 FET、24 キャパシタ、25 FET、26 インダクタ、27 FET、28 キャパシタ、29 FET、30 インダクタ、31 FET、32 キャパシタ、33 主線路、34 FET、35 インダクタ、36 FET、37 キャパシタ、38 インダクタ、39 キャパシタ、40 インダクタ、41 キャパシタ、42 インダクタ、43 キャパシタ、44 インダクタ、45 キャパシタ、46 キャパシタ、47 キャパシタ、48 インダクタ、49 インダクタ、50 インダクタ、51 キャパシタ、52 インダクタ、53 キャパシタ、54 インダクタ、55 キャパシタ、56 インダクタ、57 キャパシタ、58 インダクタ、59 キャパシタ、60 インダクタ、61 キャパシタ、62 キャパシタ、63 インダクタ、64 キャパシタ、65 キャパシタ、66 インダクタ、67 インダクタ、68 キャパシタ、69 インダクタ、70 スパイラルインダクタ、71 MIMキャパシタ、72 スパイラルインダクタ、73 基板、74 スルーホール、75 ハイインピーダンス線路、76 インターデジタルキャパシタ、77 ハイインピーダンス線路。

【図1】



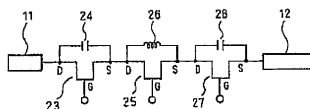
- 13: 第1のFET
14: インダクタ
15: 第2のFET
16: キャパシタ

【図2】



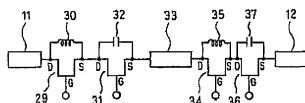
- 17: 第1のFET
18: 第1のインダクタ
19: 第2のFET
20: キャパシタ
21: 第3のFET
22: 第2のインダクタ

【図3】



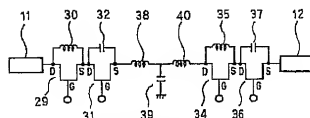
- 23: 第1のFET
24: 第1のキャパシタ
25: 第2のFET
26: インダクタ
27: 第3のFET
28: 第2のキャパシタ

【図4】



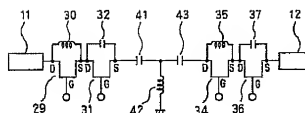
- 29: 第1のFET
30: 第1のインダクタ
31: 第2のFET
32: 第1のキャパシタ
33: 主線路
34: 第3のFET
35: 第2のインダクタ
36: 第4のFET
37: 第2のキャパシタ

【図5】



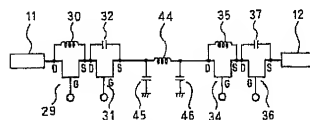
- 38: 第3のインダクタ
39: 第3のキャパシタ
40: 第4のインダクタ

【図6】



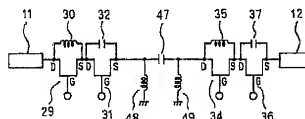
- 41: 第3のキャパシタ
42: 第3のインダクタ
43: 第4のキャパシタ

【図7】



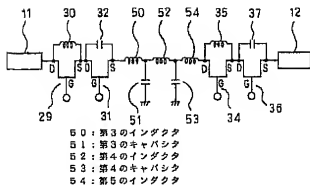
- 44: 第3のインダクタ
45: 第3のキャパシタ
46: 第4のキャパシタ

【図8】

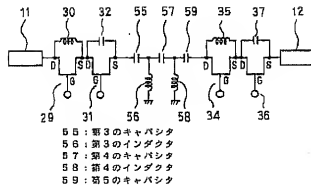


- 47: 第3のキャパシタ
48: 第3のインダクタ
49: 第4のインダクタ

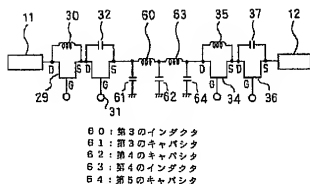
【図 9】



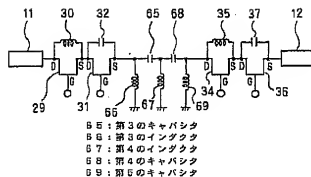
【図 10】



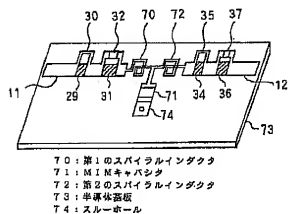
【図 11】



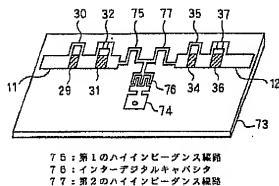
【図 12】



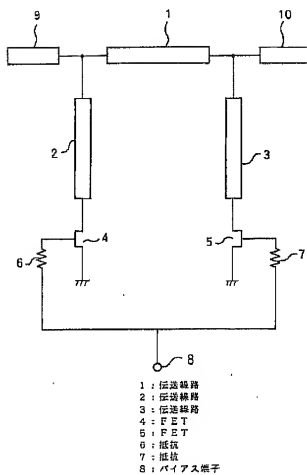
【図 13】



【図 14】



【図15】



フロントページの続き

(72)発明者 面 充徳

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内